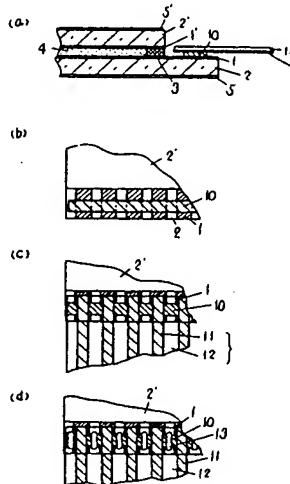


## (54) FILM TYPE LIQUID CRYSTAL DISPLAY ELEMENT

(11) 1-101517 (A) (43) 19.4.1989 (19) JP  
 (21) Appl. No. 62-258886 (22) 14.10.1987  
 (71) MATSUSHITA ELECTRIC IND CO LTD (72) NOBUMASA OSHIMA  
 (51) Int. Cl. G02F1/133, G09F9/00, H05K3/32

**PURPOSE:** To suppress the lateral current leakage of conductive adhesives by fixing an electrode drawing part and a drawing lead wire with the conductive adhesives and forming a clipping part having width larger than the width of the adhesives on a gap part between electrodes.

**CONSTITUTION:** A film-like printed lead wire 12 having a copper foil lead terminal 11 corresponding to an electrode 1 is thermocompressively bonded with the surface of a transparent electrode 1 for drawing a liquid crystal cell through a conductive heat pressed tape with continuously fixed width. A hole 13 is perforated by punching or the like on the connection part thermocompressively bonded by the sheet 10 more than the width of the sheet 10 and with the lateral width corresponding to the complete clipping of the sheet 10 on the gap part between the electrodes to cut out the continued conductive part. Thus, current leakage between the electrodes can be removed by mechanically cutting off the lateral connection of the conductive adhesives.

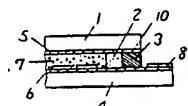
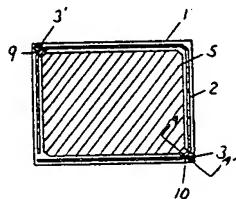


## (54) PRODUCTION OF LIQUID CRYSTAL DISPLAY PANEL

(11) 1-101518 (A) (43) 19.4.1989 (19) JP.  
 (21) Appl. No. 62-258942 (22) 14.10.1987  
 (71) MATSUSHITA ELECTRIC IND CO LTD  
 (72) HIROMASA MATSUSHITA(2)  
 (51) Int. Cl. G02F1/133, G02F1/13

**PURPOSE:** To prevent the fetching electrodes of front and rear bases from being etched by etching solution by contacting a conductive substance with a sealing material to remove a gap.

**CONSTITUTION:** The front base 1 to which the sealing material 2 and the conductive substance 3 are applied is superposed to the rear base 4, both the sealing material 2 and conductive substance 3 are smushed while pressing both the bases 1, 4 to increase the width of the sealing material 2 and the diameter of the substance 3. Thereby, about 0.2~0.3mm gap generated at the time of applying the material 2 and the substance 3 to the front base 1 is removed and the material 2 is contacted with the substance 3. After injecting liquid crystal 7 and sealing the injection port, an auxiliary electrode 8 is removed by etching. Consequently, the fetching electrode can be prevented from being etched by the etching solution and the generation of a contact root can be prevented.



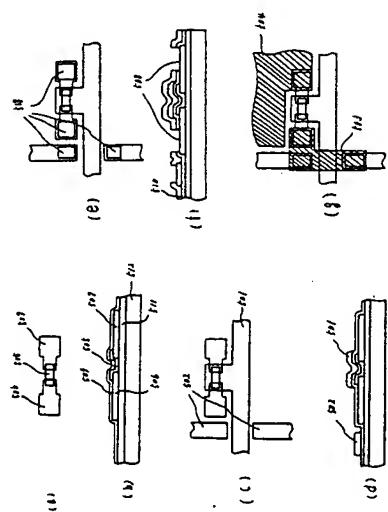
3': conductive substance. 5,6: electrode. 10: part to be taken out electrode

## (54) ACTIVE MATRIX SUBSTRATE

(11) 1-101519 (A) (43) 19.4.1989 (19) JP  
 (21) Appl. No. 62-258854 (22) 14.10.1987  
 (71) SEIKO EPSON CORP (72) HIDETO ISHIGURO  
 (51) Int. Cl. G02F1/133

**PURPOSE:** To obtain a large and highly reliable active matrix substrate by forming a bridged wiring formed by the same material as a picture element electrode simultaneously with the formation of the picture element electrode so as to couple a partial source wiring formed by the same material as a gate wiring simultaneously with the formation of the gate wiring.

**CONSTITUTION:** After forming a channel area 505, a source area 506, a drain area 507 in a thin film transistor, the thin film is formed as a prescribed shape by using a low resistance material consisting of various kinds of alloys and superconductive substances and not source wiring is formed on the intersecting part of the gate wiring 501 and a source wiring 502. Then, an insulating film for insulating the source wiring 502 and the gate wiring 501 is formed and a contact hole 508 is formed like a prescribed shape. Then, an ITO film is formed as a prescribed shape and a bridged wiring 503 for bridging the source wiring 502 is obtained in a picture element transparent electrode 504 and the intersecting part of the gate wiring 501 and the source wiring 502.



⑩日本国特許庁 (JP) ⑪特許出願公開  
⑫公開特許公報 (A) 平1-101519

⑬Int.Cl.<sup>1</sup>  
G 02 F 1/133

識別記号  
327

序内整理番号  
7370-2H

⑭公開 平成1年(1989)4月19日

審査請求 未請求 発明の数 1 (全7頁)

⑮発明の名称 アクティブマトリクス基板

⑯特 願 昭62-258854

⑰出 願 昭62(1987)10月14日

⑱発明者 石 黒 英 人 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲出願人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑳代理人 弁理士 最 上 務 外1名

明 稿 書

1. 発明の名称

アクティブマトリクス基板

2. 特許請求の範囲

(1) 電極トランジスタ、ソース配線、ゲート配線、耐候電極、前記ソース配線と前記ゲート配線を絶縁する絶縁膜を具備するアクティブマトリクス基板において、前記ゲート配線と同じ材質で同時に形成された一部のソース配線、前記一部のソース配線を結合させる様に前記耐候電極と同じ材質で同時に形成された架構配線を具備することを特徴とするアクティブマトリクス基板。

(2) 前記ソース配線と同じ材質で同時に形成された一部のゲート配線、前記一部のゲート配線を結合させる様に前記耐候電極と同じ材質で同時に形成された架構配線を具備することを特徴とする特許請求の範囲第1項に記載のアクティブマトリクス基板。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、アクティブマトリクス方式の液晶ディスプレイやエレクトロクロミックディスプレイ等に用いられるアクティブマトリクス基板に関するもの。

【従来の技術】

従来のアクティブマトリクス基板は、例えば、JAPAN DISPLAY'86の198~199ページに見られる様に、配線材料としてITO、不純物を含む多結晶シリコン等が用いられている。

第3図(a)は、従来のアクティブマトリクス基板の上視図であり、第3図(b)は前記第3図(a)のBB'における断面図である。又、従来のアクティブマトリクス基板の製造工程の一部の上視図を第4図(a)~(d)に、断面図を第4図(a')~(d')に示した。

(a)、(a')は下地絶縁膜411上に導線

トランジスタのチャンネル領域 405、ソース領域 406、ドレイン領域 407 及びゲート絶縁膜 408 を形成した図である。(b)、(b') はゲート電極、及びゲート配線 401 を形成した図であり、(c)、(c') においてゲート配線 401 とソース配線 402 を絶縁する絶縁膜 410 を形成し、さらに隣接トランジスタのソース領域 408 とソース配線 401、及び隣接トランジスタのドレイン領域 407 と隣接電極 404 を接合するためのコンタクトホール 408 を所定の位置に形成する。さらに (d)、(d') においてソース配線 402 と隣接電極 404 を形成することによって、従来のアクティブマトリクス基板が作られる。

以上の工程を見れば明らかな様に、従来のアクティブマトリクス基板の配線方法では、2回の配線用の薄膜の形成と2回のフォトエッチング工程が必要である。

(発明が解決しようとする問題)

前記の、従来の配線材料であるITO等は、そ

の比抵抗が 300 nΩ・cm と大きく、信号遅延等の観点から、配線材料として用いることができるのば、約 10 cm<sup>2</sup> の面積サイズが限界となり、それ以上の大型化は不可能である。したがって上記以上の面積サイズを実現するためには、より低抵抗の配線材料による配線が不可欠となる。しかし、従来の配線と構造のままで、配線の材料を変えると、ソース配線の材料と隣接電極の材料が異なるために、薄膜形成とフォトエッチングの回数が1回づつ増え、製造工程を非常に複雑なものにする。

本発明は、この様な問題点を解決するもので、その目的とするところは、より大型で信頼性の高いアクティブマトリクス基板を提供することにある。

(問題点を解決するための手段)

隣接トランジスタ、ソース配線、ゲート配線、隣接電極、前記ソース配線と前記ゲート配線を絶縁する絶縁膜を具備するアクティブマトリクス基板において、本発明のアクティブマトリクス基板

は、前記ゲート配線と同じ材質で同時に形成された一部のソース配線、前記一部のソース配線を結合させる様に前記隣接電極と同じ材質で同時に形成された架橋配線を具備するか、又は前記ソース配線と同じ材質で同時に形成された一部のゲート配線、前記ゲート配線を結合させる様に前記隣接電極と同じ材質で同時に形成された架橋配線を具備することを特徴とする。

(実施例)

以下、本発明について、実施例に基づき詳細に説明する。

実施例 1

第1図は本発明によるアクティブマトリクス基板の一例の上視図である。103の架橋配線により、ソース配線 102 とゲート配線 101 の交差部を接続しているのが特徴である。第2図に第1図の AA' における断面図を示した。

本発明の、実施例を第5図の、上視図 (a) ~ (d)、断面図 (a') ~ (d') を用いて、工程順に、さらに詳しく説明する。まず、(a)、

(a') の如く、ガラス、石英、サファイア等の絶縁性基板上に、二酸化硅素、窒化硅素等から成る滑滑な下地絶縁膜 511 を形成する。その上に 1500 Å ~ 3000 Å 程度のドナー、あるいはアクセプタとなる不純物を含む、多結晶シリコン、若しくは非晶質シリコン膜を所定の形状に形成する。さらにその上に 100 Å ~ 500 Å 程度のは不純物を含まない多結晶シリコン、又は非晶質シリコンからなる薄膜を、所定の形状に形成する。この工程により隣接トランジスタのチャンネル領域 505、ソース領域 506、ドレイン領域 507 が形成される。その上に 500 Å ~ 3000 Å 程度の二酸化硅素、窒化硅素等の絶縁膜を形成し、ゲート絶縁膜 508 とする。

次に、(b)、(b') に示す様にアルミニウム、セリブデン、タンクスチン、タンタル、ニオブ、チタンおよびその化合物、各種合金、超電導物質等の低抵抗材料を用いて 1000 Å ~ 7000 Å 程度の薄膜を所定の形状に形成し、ゲート配線 501 およびソース配線 502 とする。ここで

注目すべきことは、該ゲート配線と該ソース配線の交差部においては、ソース配線が形成されていないことである。この構造を採用することによって、ゲート配線とソース配線の大部分を同時に形成することが可能となる。

次に(c)、(c')に示されるようにソース配線とゲート配線を絶縁する絶縁膜と薄膜トランジスタを保護するベッシャーション膜をかねた二重化硅素、窒化硅素等からなる絶縁膜610を3000人～10000人程度形成し、図に示した様に所定の形状にコンタクトホール608を形成する。

次に(d)、(d')に示される様にITO膜を所定の形状に形成し、図表透明電極604、および該ゲート配線とソース配線の交差部においてソース配線を架橋する603の架橋配線を得る。又、この工程によりソース配線601とソース領域606、図表電極604とドレイン領域607のコンタクトがとられる。

以上の工程を経て、本発明によるアクティブマ

トリクスの1例が製造される。

#### 実施例2

前実施例では、ソース配線を架橋したが、ゲート配線を、架橋することも可能であり、第6図(a)～(c)に示した。

薄膜トランジスタの、チャンネル領域605、ソース領域608、ドレイン領域607を形成した後、絶縁膜を形成し、前実施例と同様な低抵抗材料を用いてソース配線602とゲート配線601の大部分を形成する。この時、該ソース配線とゲート配線の交差部のゲート配線を形成せず、絶縁膜を形成し、コンタクトホール608を形成した後で、この交差部のゲート配線603を図表電極604及び薄膜トランジスタのソース領域606とソース配線602を結ぶ配線613と同時に形成する。

#### 【発明の効果】

以上に述べたように本発明によれば、従来より工程数をまったく増やすことなく、ゲート配線、ソース配線の低抵抗化が可能となる。これにより

以下のような効果が得られる。

a. ゲート配線の低抵抗化により、薄膜トランジスタのスイッチング時間を短縮できるため、回路数を増やすことができ、面積の大型化が可能となる。

b. ソース配線の低抵抗化により、回路に対する書き込み時間を短縮できるため、aと同様な効果がある。

c. 配線を細くすることが可能となるために、ゲート配線とソース配線の間の寄生容量を小さくできる。これらの寄生容量はトランジスタのスイッチング速度を低下させる原因の1つであるため、本発明によって該寄生容量を小さくすることができるとなると、トランジスタの高速化が可能となり、その結果aと同様な効果がある。

d. 配線を細くすることが可能となるために、回路の開口率を大きくすることができ、より明るい画像が得られる。

e. 単純に配線を金属等の、低抵抗材料にすると、膜形成工程、フォトエッチング工程が、それ

ぞれ1回増え、信頼性および歩留りの低下を招くが、本発明の工程数は従来の技術の工程数とかわらないため、これを回避することが可能である。

したがって本発明によれば、信頼性および歩留りの低下を招くことなく、アクティブマトリクス基板の大型化および高精細化、高開口率化による高画像品質化が可能となる。

#### 4. 図面の簡単な説明

第1図は、本発明の実施例の上視図である。第2図は、第1図のAA'の断面図である。第3図(a)は従来のアクティブマトリクス基板の1例の上視図、(b)はBB'の断面図である。第4図(a)～(d)、(a')～(d')は従来例の製造工程を示したもので、(a)～(d)は上視図、(a')～(d')は断面図である。第5図(a)～(d)、(a')～(d')は、本発明の実施例の製造工程を示したもので、(a)～(d)は上視図、(a')～(d')は断面図である。第6図(a)～(c)は実施例の製造工

図を示した上板図である。

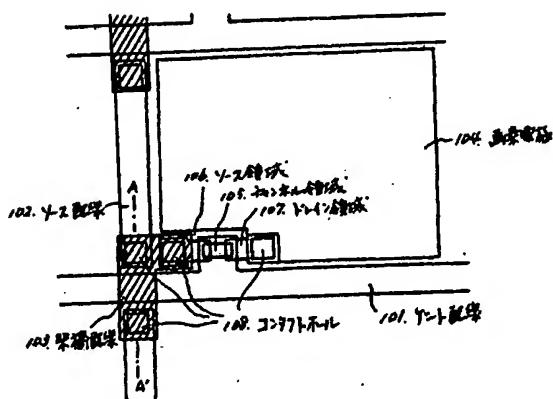
101、201、301、401、501、  
601…ゲート配線  
102、202、302、402、502、  
602…ソース配線  
103、203、503、603…漏相配線  
104、404、504、604…漏柵電極  
105、405、505、605…チャンネル領域  
106、406、506、606…ソース領域  
107、407、507、607…ドレイン領域  
トホール  
208、308、408、508…ゲート絶縁膜  
210、310、410、510…ソース配線、ゲート配線間絶縁膜  
211、311、411、511…下地絶縁膜

説 412、312、412、512…絶縁性基板

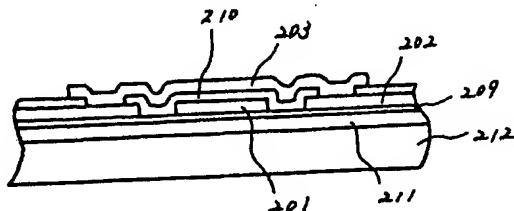
613…ソース領域、ソース配線間配線  
以上

出願人 セイコーエプソン株式会社

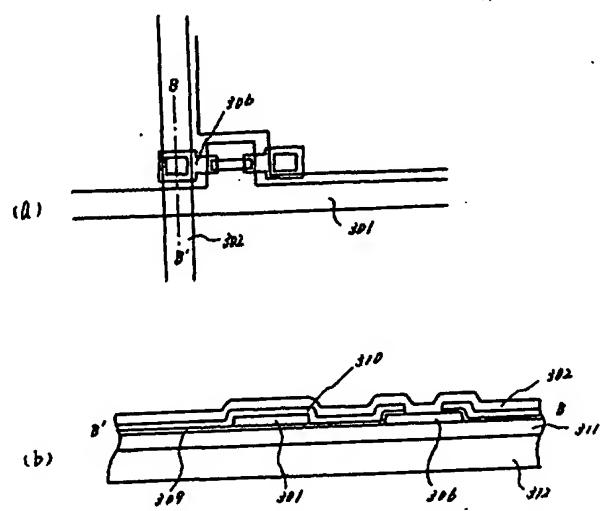
代理人 丸四士 最上 勝 他1名



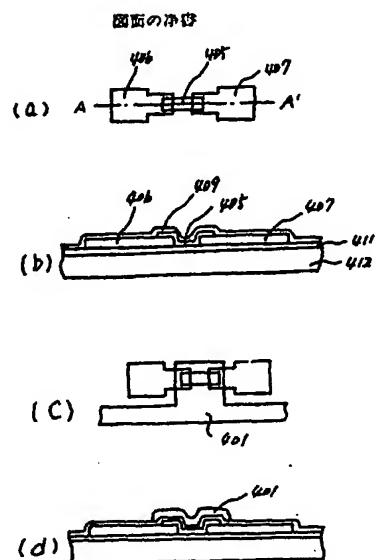
第1図



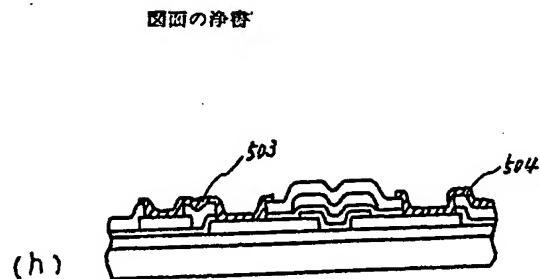
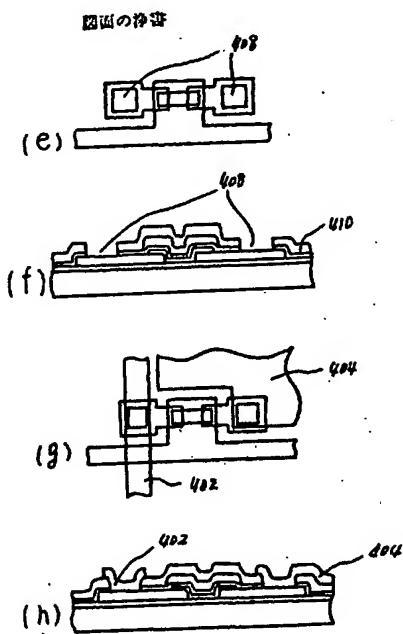
第2図



第3図



第4図

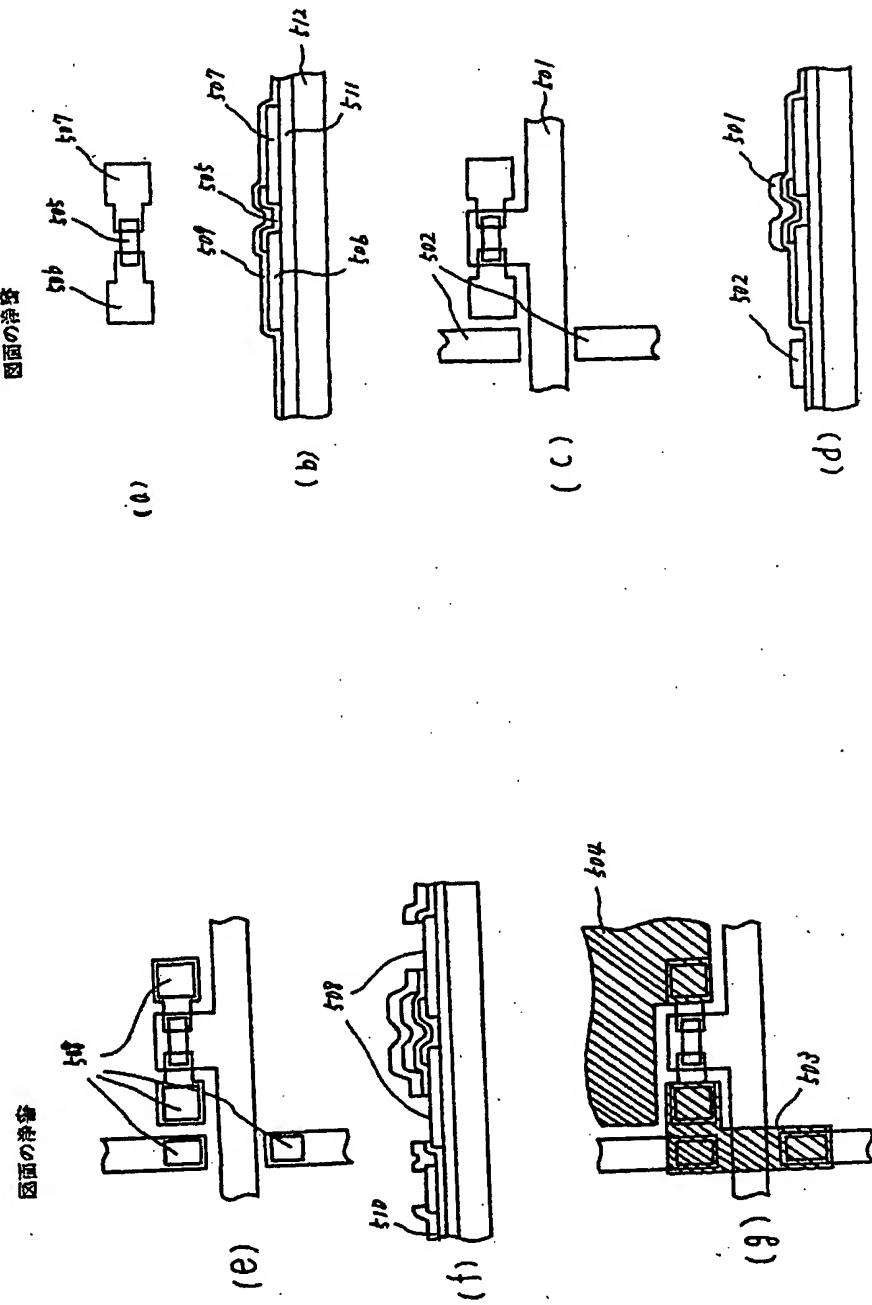


第5図

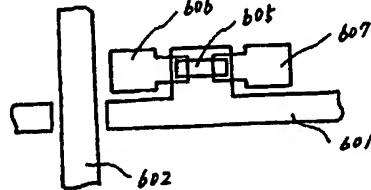
第4図

第5図

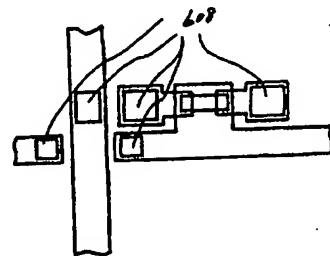
第5図



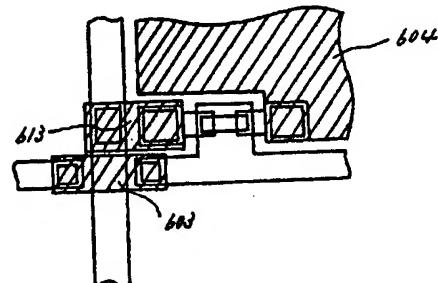
(a)



(b)



(c)



第618

第618

## 手続補正書(方式) 次

昭和63年2月18日

特許庁長官 小川邦夫

## 1. 事件の表示

昭和62年 特許第258854号

## 2. 発明の名称

アクティブマトリクス基板

63.2.19  
特許庁

## 3. 補正する者

事件との関係 出願人

東京都新宿区西新宿2丁目4番1号  
(236) セイコーエプソン株式会社  
代表取締役 中村恒也

## 4. 代理人

平104 東京都中央区京橋2丁目6番21号  
株式会社 腹部セイコー内 最上特許事務所  
(4664)弁理士 最上勝(他1名)  
連絡先 563-2111 内線 631-635 担当 林

## 5. 補正命令の日付

昭和63年 1月26日

## 6. 補正の対象

明細書(図面の簡単な説明)  
図面(第4図、第5図)

## 7. 補正の内容

別紙の通り

式  
審  
査  
官

1. 明細書第10頁第12行目、「第4図」から最終行「である。」を以下の如く補正する。

「第4図(a)～(h)は従来例の製造工程を示したもので(a)、(c)、(e)、(g)は上視図、(b)、(d)、(f)、(h)は断面図である。第5図(a)～(h)は、本発明の実施例1の製造工程を示したもので(a)、(c)、(e)、(g)は上視図(b)、(d)、(f)は断面図である。」

2. 第4図、第5図を別紙の如く補正する。

以上

代理人 最上勝他1名

63.2.19  
特許庁